

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-213821

(43)Date of publication of application : 24.08.1990

(51)Int.CI.

G02F 1/136
H01L 29/784

(21)Application number : 01-
033557

(71)Applicant : HITACHI LTD

(22)Date of filing :

15.02.1989 (72)Inventor : MATSUZAKI EIJI

YORITOMI

YOSHIFUMI

KOSHIMO

TOSHIYUKI

TAKANO TAKAO

KENMOCHI AKIHIRO

NAKATANI MITSUO

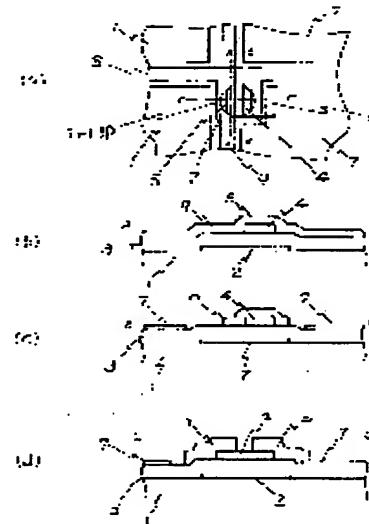
第 92115178 號
初審引証附件

(54) THIN-FILM TRANSISTOR AND ACTIVE MATRIX CIRCUIT BOARD FORMED BY USING THIS TRANSISTOR AND IMAGE DISPLAY DEVICE

(57)Abstract:

PURPOSE: To attain a high yield and to improve responsiveness as well as to eliminate the unequalness of a screen by equivalently increasing the (channel width)/(channel length) ratio of thin-film transistors (TFTRs) consisting of amorphous silicon films (a-Si) to provide a higher on current.

CONSTITUTION: The width of the region in the transverse direction of the channels which attain electrical contact of drain electrodes 5 and source electrodes 6 of semiconductor film patterns is so disposed as to be on the inner side on gate electrodes 2 and the side walls of the semiconductor patterns existing on the lateral side of the channels are coated with the patterns of the drain electrodes 5 and the source electrodes 6. The side walls of the semiconductor patterns, therefore act as the drain electrodes 5 or the



source electrodes 6 as well. Since the (channel width)/(channel length) ratio of the TFTRs is thereby equivalently increased, the on current of the TFTRs can be increased. The defective characteristics of the TFTRs which are provided in respective picture elements are decreased in the active matrix circuit board constituted of such TFTRs; in addition, the responsiveness is improved and the unequalness of the screen is eliminated.

⑫ 公開特許公報 (A)

平2-213821

⑬ Int. Cl. 5

G 02 F 1/136
H 01 L 29/784

識別記号

500

府内整理番号

7370-2H

⑭ 公開 平成2年(1990)8月24日

8624-5F H 01 L 29/78 311 A
審査請求 未請求 請求項の数 3 (全10頁)

⑮ 発明の名称 薄膜トランジスタ及び該トランジスタを用いたアクティブラチカルス回路基板並びに画像表示装置

⑯ 特 願 平1-33557

⑰ 出 願 平1(1989)2月15日

⑱ 発明者 松崎 永二 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 発明者 頼富 美文 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑳ 発明者 小下 敏之 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

㉑ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代理人 弁理士 小川 勝男 外1名

最終頁に続く

明細書

1. 発明の名称

薄膜トランジスタ及び該トランジスタを用いたアクティブラチカルス回路基板並びに画像表示装置。

2. 特許請求の範囲

1. 絶縁性基板と、該絶縁性基板上に設けたゲート電極として働く第1の電極と、該第1の電極パターン上に該パターンを被覆するように設けた第1の絶縁膜と、該第1の絶縁膜上に上記第1の電極と重なり合い且つ存在領域を限定して設けたシリコンを主成分とする半導体膜パターンと、該半導体膜パターン上に該パターンの一部を被覆するように配置したドレイン電極またはソース電極としてそれぞれ働く第2の電極および第3の電極パターンとから成る薄膜トランジスタにおいて、上記半導体膜パターンの第2の電極および第3の電極と電気的接触をとる領域の少なくともチャネルの長さ方向に対して直角な横方向の領域を上記第1の電極パターン上

に配置し、かつ上記半導体膜パターンの上記横方向の領域の側壁の少なくとも一方を上記第2の電極および第3の電極のパターンで被覆して等価的にチャネル幅が大きくなるように構成したことを特徴とする薄膜トランジスタ。

2. 請求項1記載の薄膜トランジスタを複数個マトリクス状に設け、同じ行に存在する薄膜トランジスタの上記第1の電極を第1のバスラインに接続し、同じ列に存在する薄膜トランジスタの上記第2の電極を第2のバスラインに接続して構成したアクティブラチカルス回路基板。

3. 請求項2記載のアクティブラチカルス回路基板の各薄膜トランジスタの上記第3の電極に表示画素電極を接続し、該表示画素電極に対向して対向電極を設けるとともに、上記表示画素電極と上記対向電極との間隙に液晶を充てん密閉して表示セルを構成してなることを特徴とする画像表示装置。

3. 発明の詳細を説明

〔産業上の利用分野〕

本発明はシリコンを主成分とする半導体膜を活性層とした薄膜トランジスタ及び該トランジスタを用いたアクティブマトリクス回路基板並びに画像表示装置に関する。

〔従来の技術〕

従来、非晶質シリコン膜(amorphous Silicon, 以下a-Siと略す)を活性層とした薄膜トランジスタ(amorphous Silicon Thin Film Transistor, 以下a-Si TFTと略す)はアクティブマトリクス駆動型表示装置のスイッチング素子として注目されている。

第6図(a)～(d)は従来のa-Si TFTを例示する断面図である。第6図(a)～(d)において、1は絶縁性基板、2はゲート電極(第1の電極)、3はゲート絶縁膜(第1の絶縁膜)、4はa-Si膜、5はドレイン電極(第2の電極)、6はソース電極(第3の電極)である。第6図(c), (d)のa-Si TFTは第2, 第3の電極5, 6を第1の絶縁膜3とa-Si膜4の間に挿入するので、第1の絶縁膜3とa-Si膜4を連結成膜で

きない。そのため第6図(a), (b)とくに第6図(b)の構造のa-Si TFTが多く採用されている。なおこの種のものに関連するものには例えば特開昭59-113666号公報が挙げられる。

〔発明が解決しようとする課題〕

上記従来技術は、第6図(b)に示した断面構造のa-Si TFTでは、電流がa-Si膜4の厚み方向に横切って流れるので、a-Si膜4のバルク抵抗やa-Si膜4と第2, 第3の電極5, 6との間の界面状態の影響を受ける。

そこで、これを防ぐため第7図(a)に示すように、第2, 第3の電極5, 6とシリコン系膜(a-Si膜)4の間にリンPをドープしたコ型のシリコン系薄膜(a-Si膜)51, 61を挿入するようできる。これによると第2, 第3の電極5, 6部での接触抵抗をかなり低減できるが、これより得られるa-Si TFTの移動度は0.3～0.5 cm²/V·sが一般的である。また第2, 第3の電極4, 5とa-Si膜4の接触が改善されたとしても、製造工程の乱れによって劣化すること

も多く、オン電流がばらついて製造歩留り低下の原因となる。そのためa-Si TFTの特性向上とくにオン電流の増大が待たれていた。

これに対して本発明者らによれば第7図(b)に示すような断面構造のa-Si TFTが考えられる。これはチャネルの長さ方向(ドレイン電極5からみてソース電極6の方向、あるいはソース電極6からみてドレイン電極5の方向)でa-Si膜4バターンをゲート電極2の長さよりもa-Si膜4の膜厚相当分以上短くして、該a-Si膜4の両側を被覆するように第2, 第3の電極5, 6を形成するものである。このa-Si TFTにより1 cm²/V·sの実効移動度を再現性よく得られることが考えられるが、しかしこの場合にはドレイン電流がa-Si膜4バターンの大きさ特に第2, 第3電極5, 6方向の長さに大きく依存する。したがってこのTFTで高いオン電流を得るためには、a-Si膜4バターンをチャネル長が短くなるように小さくする必要がある。ところがこのTFTを画像表示装置用のアクティ

ブマトリクス回路基板のスイッチング素子に適用すると、基板の面積が大きいことや反り等のためにホトエッチング加工にも限界があり、a-Si膜バターンをそれ程小さくできない。そのため移動度が高くなても、それ程高いオン電流が期待できない可能性がある。なお第7図(b)の電極部にn⁺a-Si膜を挿入することもできる。

本発明はa-Si TFTの特性改善とくにオン電流の増大を実現できる薄膜トランジスタ及び該トランジスタを用いたアクティブマトリクス回路基板並びに画像表示装置を提供するにある。

〔課題を解決するための手段〕

上記目的は、絶縁性基板上のゲート電極(第1の電極)と、該ゲート電極を被覆するゲート絶縁膜(第1の絶縁膜)と、該ゲート絶縁膜(第1の絶縁膜)上に上配ゲート電極(第1の電極)と直なり合い且つ存在領域を限定して設けたシリコン主成分の半導体膜(a-Si膜)バターンと、該半導体膜バターン上にその一部を被覆するように配置したドレイン電極(第2の電極)およびソ

ス電極（第3の電極）とからなる薄膜トランジスタにおいて、上記半導体膜パターンのドレイン電極（第1の電極）およびソース電極（第3の電極）と電気的接触をとる傾の少なくともチャネルの長さ方向に対して直角な横（幅）方向の領域をゲート電極（第1の電極）上の内側になるように配置し、かつドレイン電極（第2の電極）およびソース電極（第3の電極）のチャネルの幅方向の領域の少なくとも一方を半導体パターンよりはみ出るよう配慮して、該領域の半導体パターンの側壁を被覆するように構成した薄膜トランジスタ、及び該薄膜トランジスタを用いて構成したアクティブラミトリクス回路基板、並びに該アクティブラミトリクス回路基板を用いて構成した画像表示装置により達成される。

〔作用〕

上記薄膜トランジスタはゲート電極（第1の電極）上に存在する半導体膜パターンの領域がゲート電極（第1の電極）電圧を与えることにより抵抗化して、この半導体膜が低抵抗化する領域で

該半導体膜とドレイン電極（第2の電極）およびソース電極（第3の電極）の電気的接觸をとると、半導体膜のバルク抵抗や半導体膜と金属膜の間の接觸抵抗の影響を低く抑えることができて大きなドレイン電流をとることができるのであるから、したがって本発明により半導体膜パターンのドレイン電極（第2の電極）およびソース電極（第3の電極）と電気的接觸をとるチャネル幅方向の領域の幅をゲート電極（第1の電極）上の内側になるように配置して、かつチャネルの横側に存在する半導体パターンの側壁をドレイン電極（第2の電極）およびソース電極（第3の電極）パターンで被覆すると、該半導体パターンの側壁もドレイン電極あるいはソース電極として働くようになる結果、薄膜トランジスタのチャネルの（チャネル幅）／（チャネル長）比が等価的に大きくなるので薄膜トランジスタのオン電流を大きくすることができる。したがってこのような薄膜トランジスタにより構成したアクティブラミトリクス回路基板は各画素に設けた薄膜トランジスタの特性不良なものが著しく

7

減少して高歩留りを実現でき、またこのアクティブラミトリクス回路基板により構成した画像表示装置は上記した薄膜トランジスタやそれに構成したアクティブラミトリクス回路基板のもつ特徴により、応答性改善や画面むらをなくすことができる。

〔実施例〕

以下に本発明の実施例を第1図から第5図により説明する。

第1図(a)～(d)は本発明による薄膜トランジスタ及び該トランジスタを用いたアクティブラミトリクス回路基板の第1の実施例を示す部分平面図および各部断面図である。第1図(a)～(d)において、本発明による非晶質シリコン薄膜トランジスタa-Si TFTをスイッチング素子とするアクティブラミトリクス回路基板の一部を示し、第1図(a)はa-Si TFT部を中心とした平面図、第1図(b)はそのA-A'断面図、第1図(c)はそのB-B'断面図、第1図(d)はそのC-C'断面図である。

8

第1図(a)～(d)において、1はガラス板等の絶縁性基板、2はクロムCr等の金属膜からなる第1の電極（ゲート電極）、3はシリコン塗化膜等の絶縁膜からなる第1の絶縁膜（ゲート絶縁膜）、4はシリコンを主成分とする半導体膜(a-Si膜)、5はアルミニウムAl等の金属膜からなる第2の電極（ドレイン電極）、6は同じくAl等の金属膜からなる第3の電極（ソース電極）、7はITO(Indium Tin Oxide)酸化インジウムと酸化チタンの混合物膜等の透明導電膜からなる表示画素電極、8はゲート線（ゲートバスライン、走査線）、9はドレイン線（ドレインバスライン、信号線、データ線）である。第1図(a)の円で囲んだ部分がTFT部であり、第1図(d)がそのドレイン電極5からソース電極6にかけての断面図である。第1図(a)の第1の電極2とゲート線8、第2の電極5とドレイン線9がそれぞれ接続されている。第1図(b)はドレイン電極部のドレイン電極5によるa-Si膜4の被覆の様子、第1図(c)はソース電極部のソース電極6によるb-

9

S1 膜4の被覆の様子を示す。

本発明の特徴は、a-S1膜4とドレイン電極5およびソース電極6の接触部のa-S1膜4をチャネルの長さ方向に対して直角な横（幅）方向において第1図(b), (c)に示すようにゲート電極2の上に配置し、かつa-S1膜4パターンのチャネルの長さ方向に対して直角な横方向に存在する側壁（端面）をドレイン電極5およびソース電極6で被覆した点にある。ここではa-S1膜4の両側壁（側面）を被覆しているが、片側のみを被覆してもよく、等価的に（チャネル幅）/（チャネル長）比が大きくなるので、オン電流が増大する。なお本実施例では、a-S1 TFTでも $1\text{mA}/V\cdot s$ 程度の移動度を得ることができるように、第1図(a)すなわち第7図(b)に示すようにチャネルの長さ方向でa-S1膜4パターンをゲート電極2の長さより少なくともa-S1膜4の膜厚相当分以上短くして、ドレイン電極5およびソース電極6を形成している。

第2図は第1図のa-S1 TFTのドレイン電

流の平方根 $\sqrt{I_p}$ とゲート電圧(V)の関係を示す特性例図である。第2図において、特性Aは第1図の本実施例のa-S1 TFTに對して得られたデータ、特性B1は第7図(a)の従来の第7図(a)のa-S1 TFTに對して得られたデータ、特性B2は従来の第7図(a)で $n^+ a-S1$ 膜51, 61を挿入しない場合のa-S1 TFTに對して得られたデータ、特性B3は第7図(b)のa-S1 TFT(電極部に $n^+ a-S1$ 膜を用いていない)に對して得られるデータである。ここで第1図の本実施例の特性Aに對してはa-S1膜4を $100\mu\text{m} \times 100\mu\text{m}$ の島状パターンとし、ドレイン電極5およびソース電極6の幅を $12.0\mu\text{m}$ とし、ドレイン電極5とソース電極6の間隔を $1.0\mu\text{m}$ とした。他の特性B1~B3に對してはa-S1膜4を $12.0\mu\text{m}$ (幅) $\times 100\mu\text{m}$ (長さ)の島状パターンとし、ドレイン電極5およびソース電極6の幅を $1.0\mu\text{m}$ とし、ドレイン電極5とソース電極6の間隔を $1.0\mu\text{m}$ とした。またa-S1膜4およびゲート絶縁膜3の

11

厚みは全て同じとした。したがって見かけ上は全てチャネル幅が $100\mu\text{m}$ で、チャネル長が $1.0\mu\text{m}$ のa-S1 TFTとなる。

しかし特性B3の第7図(b)のa-S1 TFTではa-S1膜4の全体がチャネルとなるので、(チャネル幅)/(チャネル長)比は1と小さな値になる。特性Aの第1図の本発明によるa-S1 TFTの場合にも、ドレイン電極5およびソース電極6によるa-S1膜4の被覆状態の違いを除けば特性B3と同じである。特性B1では第7図(a)の $n^+ a-S1$ 膜51, 61による電極部での接触抵抗の低減もあり、 $0.3\text{mA}/V\cdot s$ の実効移動度が得られた。特性B2では電極部の大きな接触抵抗のため、ドレイン電流 I_p は大幅に低下した。これに對して特性B3では $1\text{mA}/V\cdot s$ の実効移動度が得られるが、(チャネル幅)/(チャネル長)比が小さいため、特性B1の(チャネル幅)/(チャネル長)比が1.0のものよりもドレイン電流 I_p レベルが低下する。特性Aの本発明によるa-S1 TFTでは基本的なチャネル

12

領域は特性B3の第7図(b)のものと同じであるが、ドレイン電流 I_p は特性B3の5倍以上となり、特性B1の2倍以上に大きくなつた。実効移動度が特性B3のものと同じとすると、(チャネル幅)/(チャネル長)比が5倍以上になつたことになる。

このように本実施例によれば、a-S1膜4とドレイン電極5、ソース電極6のコンタクト部のa-S1膜4の側壁をゲート電極2上に配置し、この側壁を被覆するようドレイン電極5およびソース電極6を設けたことにより、従来の加工精度でも大きなオン電流を得ることができ、またa-S1膜4のドレイン電極5、ソース電極6方向の長さを短くしていくと、更に大きな(チャネル幅)/(チャネル長)比を得ることができますので、更に大きなドレイン電流(オン電流)が得られる。

第3図(a), (b)は本発明による薄膜トランジスタ及び駆動トランジスタを用いたアクティブラミックス回路基板の第2の実施例を示す部分平面図および断面図である。第3図(a), (b)において、

13

-178-

14

本発明による a-Si TFT をスイッチング素子とするアクティブラリクス回路基板の一部を示し、第 3 図(a)は a-Si TFT 部を中心とした平面図、第 3 図(b)はその A-A' 断面図である。第 3 図(a), (b)の第 1 図(a)～(d)と同一符号は相当部分を示す。本実施例の a-Si TFT は、第 3 図(a)の A-A' 断面を示す第 3 図(b)の断面構造に第 7 図(a)を用いており、a-Si 膜 4 とドレイン電極 5 およびソース電極 6 の間に n 型シリコン膜 51, 61 を挿入している点が、第 1 の実施例の第 1 図(a)の同方向 C-C' 断面を示す第 1 図(d)の断面構造に第 7 図(b)を用いているものと異なる。本実施例においても本発明の特徴は、第 3 図(a)の a-Si TFT 部の a-Si 膜 4 とドレイン電極 5 およびソース電極 6 の接触部の a-Si 膜をチャネルの長さ方向に對して直角な横(幅)方向において、第 1 図(b), (c)と同様にゲート電極 2 の上に配置し、a-Si 膜 4 パターンのチャネルの長さ方向に對して直角な横方向に存在する側壁(端面)をドレイン電極 5 およびソース電極 6 で被覆した点にある。

15

本実施例のようにして、(チャネル幅)/(チャネル長) 比を大きくしてオン電流の増大を図る場合には、1 個の TFT を用いるよりもチャネル幅の小さい TFT を複数個並べて、a-Si 膜 4 とドレイン電極 5、ソース電極 6 の形成に本発明を適用し、a-Si 膜 4 をチャネルの長さ方向に對して直角な横方向においてゲート電極 2 上に配置し、a-Si 膜 4 のチャネルの長さ方向に對して直角な方向に存在する側壁をドレイン電極 5、ソース電極 6 で被覆する方が効果的である。

本実施例によれば、たとえば1 個の TFT を用いて a-Si 膜 4 とドレイン電極 5 およびソース電極 6 のパターン寸法を変えて(チャネル幅)/(チャネル長) 比を 4 の値にするより、a-Si

およびソース電極 6 で被覆した点にある。

本実施例によれば、a-Si TFT のチャネルの長さ方向の断面構造に第 7 図(a)を用いているので、(チャネル幅)/(チャネル長) 比がドレイン電極 5 およびソース電極 6 のバーニングで決定できるため、第 7 図(b)を用いるものに比べて大きくなる。しかし a-Si 膜 4 のバルク抵抗や n^+ -a-Si 膜 51, 61 とドレイン電極 5 およびソース電極 6 の接触抵抗のためにオン電流が制限され、0.3～0.5 cm/V・s の移動度となることが多く、素子ばらつきも発生しやすい。ところが本発明を適用することにより a-Si 膜 5 のチャネルの横(幅)方向側面からも電流が流れようになり、オン電流が増大する。この効果は第 1 の実施例と性質同等である。

第 4 図(a), (b)は本発明による薄膜トランジスタ及び該トランジスタを用いたアクティブラリクス回路基板の第 3 の実施例を示す部分平面図および断面図である。第 4 図(a), (b)において、本発明による a-Si TFT をスイッチング素子

16

膜 4 を分割して(チャネル幅)/(チャネル長) 比が 1 の値の小さな 3 個の TFT として、ドレイン電極部とソース電極部に本発明を適用することにより、(チャネル幅)/(チャネル長) 比を等価的に 1.5 に近い値にできる。これは各 TFT において(チャネル幅)/(チャネル長) 比を等価的に 5 に近い値にできるからである。このことは第 1 の実施例からも容易にわかる。また本発明を適用することにより、見かけ上のチャネル長を大きくしても大きなオン電流が得られるので、TFT のオフ電流を低くできる効果がある。

第 5 図(a), (b)は本発明による薄膜トランジスタを用いたアクティブラリクス回路基板を使用した画像表示装置の一実施例を示す要部平面図および断面図である。第 5 図(a), (b)において、例えば第 1 図(a)～(d)の本発明による a-Si TFT をスイッチング素子とするアクティブラリクス回路基板を用いた液晶表示装置からなる画像表示装置の一実施例を示し、第 5 図(a)は要部の平面図、第 5 図(b)はその断面図である。第 5

図(a), (b)の70は例えば第1図(a)～(d)に示したa-Si TFTを用いたアクティブマトリクス回路基板で、1～7は第1図(a)～(d)の同一符号と同二部分を示す。20は偏光板、1はガラス板、21はカラーフィルタ、23は透明導電膜からなる表示画素電極7の対向電極で同じく透明導電膜から構成されているもの、22, 26はそれぞれ保護膜、24は配向膜、25は空隙に充填された液晶である。

本実施例の画像表示装置は、上記のような構成でカラー表示用のものを示している。またこの表示装置は周知のカラー液晶表示装置の製造工程と同様にして容易に製造できる。なお実際の表示装置においては、第5図の構成の他に周知の画像表示駆動として、各種電気回路制御系および背面からの照明手段が設けられているが、これらについては省略している。

【発明の効果】

本発明によれば、a-Si 薄膜トランジスタの(チャネル幅)/(チャネル長)比を等価的に大

きくしてオン電流を高くできる効果がある。したがって、このようなa-Si 薄膜トランジスタにより構成されたアクティブマトリクス回路基板においては、各画素に設けているa-Si 薄膜トランジスタの特性不良なものが著しく減少し、高歩留りを実現できる効果がある。さらに、このアクティブマトリクス回路基板を用いた画像表示装置においては、a-Si 薄膜トランジスタやそれにより構成したアクティブマトリクス回路基板が上記の特徴を持っているので、応答性改善や画面むらをなくすことができるという効果があり、この技術分野の発展に寄与するところ多大である。

4 図面の簡単な説明

第1図(a)～(d)は本発明による薄膜トランジスタ及び該トランジスタを用いたアクティブマトリクス回路基板の第1の実施例を示す部分平面図および各断面図、第2図は第1図の薄膜トランジスタのドレイン電流平方根とゲート電圧の関係を示す特性例図、第3図(a), (b)は本発明による薄膜トランジスタ及び該トランジスタを用いたア

19

クティブマトリクス回路基板の第2の実施例を示す部分平面図および断面図、第4図(a), (b)は本発明による薄膜トランジスタ及び該トランジスタを用いたアクティブマトリクス回路基板の第3の実施例を示す部分平面図および断面図、第5図(a), (b)は本発明による薄膜トランジスタを用いたアクティブマトリクス回路基板を使用した画像表示装置の一実施例を示す要部平面図および断面図、第6図(a)～(d)は従来の薄膜トランジスタを例示する断面図、第7図(a), (b)は従来から考案得る薄膜トランジスタを例示する断面図である。

1…絶縁性基板、2…ゲート電極(第1の電極)、
3…ゲート絶縁膜(第1の絶縁膜)、4…シリコン系半導体膜(a-Si膜)、5…ドレイン電極(第2の電極)、6…ソース電極(第3の電極)、
7…表示画素電極、8…ゲート膜(ゲートバストライン)、9…ドレイン膜(ドレインバストライン)、
51, 61…n型シリコン薄膜、20…偏光板、
21…カラーフィルタ、22, 26…保護膜、

20

23…対向電極、24…配向膜、25…液晶、
70…アクティブマトリクス回路基板。

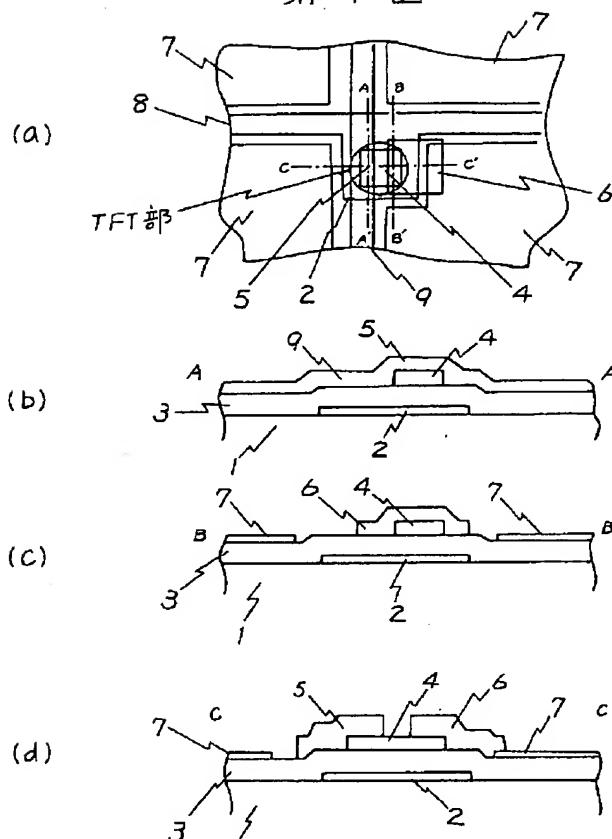
代理人 弁理士 小川勝男


21

—180—

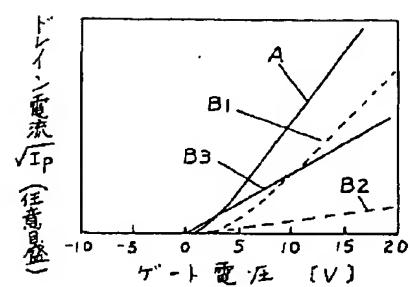
22

第 1 図

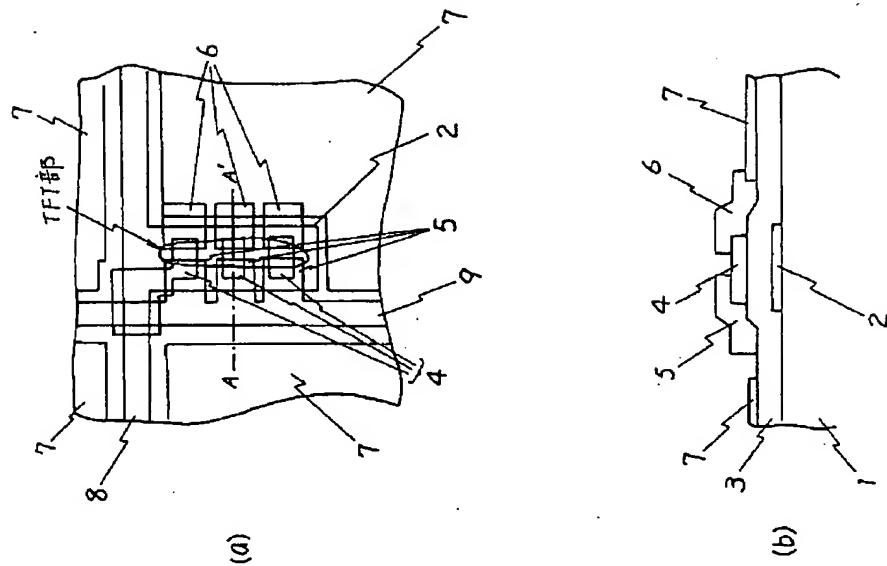


1…絶縁性基板
2…ゲート電極
3…ゲート絶縁膜
4…シリコン系薄膜
5…ドレイン電極
6…ソース電極
7…表示画系電極
8…ゲート線
9…ドレイン線

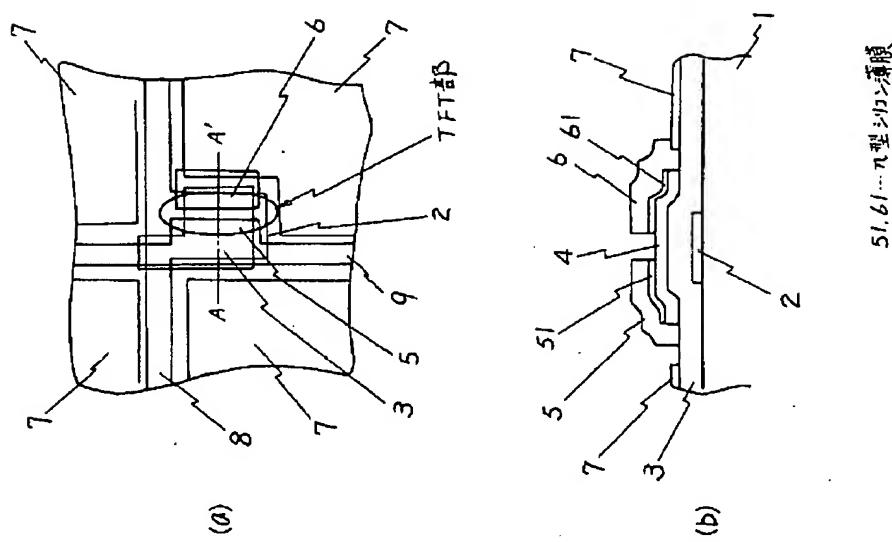
第 2 図



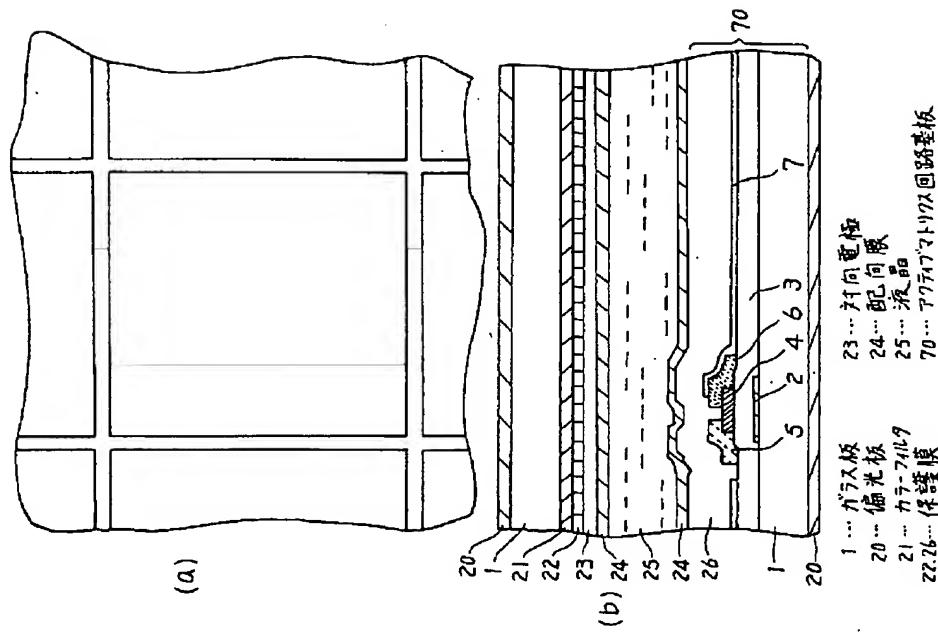
第4図



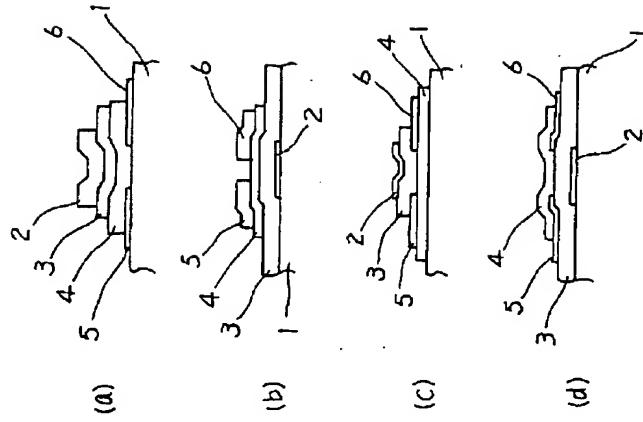
第5図



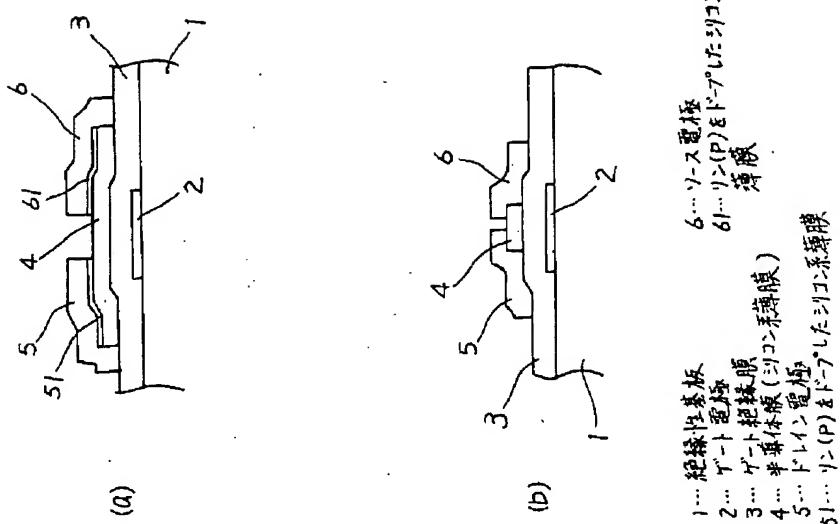
第 5 図



第 6 図



第7図



第1頁の続き

- ⑦発明者 高野 隆男 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
- ⑦発明者 鈴持 秋広 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
- ⑦発明者 中谷 光雄 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成9年(1997)3月7日

【公開番号】特開平2-213821

【公開日】平成2年(1990)8月24日

【年通号数】公開特許公報2-2139

【出願番号】特願平1-33557

【国際特許分類第6版】

G02F 1/136 500

H01L 21/336

29/786

【F I】

G02F 1/136 500 7807-2K

H01L 29/78 612 D 9056-4M

手 続 補 正 書

平成2年2月14日

特許庁長官殿

事件の表示

平成1年特許願 第33557号

補正をする者

株式会社 日立製作所

名 称 (510) 株式会社 日立製作所

1. 明細書第4表第18行の「電極4、5」を、「電極5、6」と訂正する。
2. 明細書第7表第3行の「電極1の電極」を、「電極2の電極」と訂正する。
3. 明細書第7表第4行の「傾」の後に、「傾」を加入する。
4. 明細書第12表第4行の「傾斜の」の前の「第7回(a)の」を削除する。

以上

代 理 人
名 前 〒100 東京都千代田区丸の内一丁目5番1号
会社名 電気通信大学 電話 03-3212-1111(代表)
姓 名 (6850) 斎藤 小 川 勝 男



補 正 の 对 象 明細書の発明の詳細な説明の欄

補 正 の 内 容

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成9年(1997)3月7日

【公開番号】特開平2-213821

【公開日】平成2年(1990)8月24日

【年通号数】公開特許公報2-2139

【出願番号】特願平1-33557

【国際特許分類第6版】

G02F 1/136 500

H01L 21/336

29/786

【F I】

G02F 1/136 500 7807-2K

H01L 29/78 612 D 9056-4M

手 続 補 正 書

平成 14 年 2 月 14 日

特許庁長官殿

事 件 の 表 示

平成 1 年 特許願 第 33557 号

補 正 を す る 者

特許出願人

立 業 (510) まよみせ 日立製作所

代 理 人

立 業 (510) 東京都千代田区丸の内一丁目5番1号
電話 03-3212-1111(代表)

立 業 (6850) 会員士 小 川 雄 男

1. 明細書第4頁第19行の「電極4、5」を、「電極5、6」と訂正する。
2. 明細書第7頁第3行の「第1の電極」を、「第2の電極」と訂正する。
3. 明細書第7頁第4行の「傾」の後に、「斜」を加入する。
4. 明細書第12頁第4行の「従来の」の前の「第7回(a)の」を削除する。

以上

補 正 の 対 象 明細書の発明の詳細な説明の欄

補 正 の 内 容